

SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURE

Patent Number: JP7161948
Publication date: 1995-06-23
Inventor(s): SAKAMOTO MASARU
Applicant(s): CANON INC
Requested Patent: ☐ JP7161948
Application Number: JP19930310189 19931210
Priority Number(s):
IPC Classification: H01L27/12; H01L21/02; H01L21/20
EC Classification:
Equivalents:

Abstract

PURPOSE:To manufacture a semiconductor device of a high yield by preventing the film peeling at an outer part of a semiconductor substrate and then by providing a very reliable semiconductor substrate.
CONSTITUTION:In a semiconductor substrate wherein an insulating film 102 and a semiconductor layer 103 are deposited in this order on a supporting substrate 101, an outer part of at least the insulating film 102 is coated with a protective film 104 which is constituted of an insulating film or a semiconductor layer. The protective film 104 is a semiconductor film made of polycrystalline silicon. Since the outer part of the insulating film 102 is protected with the protective film 104, the outer part of the insulating film 102 is never etched when the substrate is etched in a post-process and therefore the lift-off or exfoliation of the semiconductor layer 103 can be avoided.

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-161948

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12	B			
21/02	B			
21/20		8418-4M		

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21) 出願番号 特願平5-310189

(22) 出願日 平成5年(1993)12月10日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 坂本 勝

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

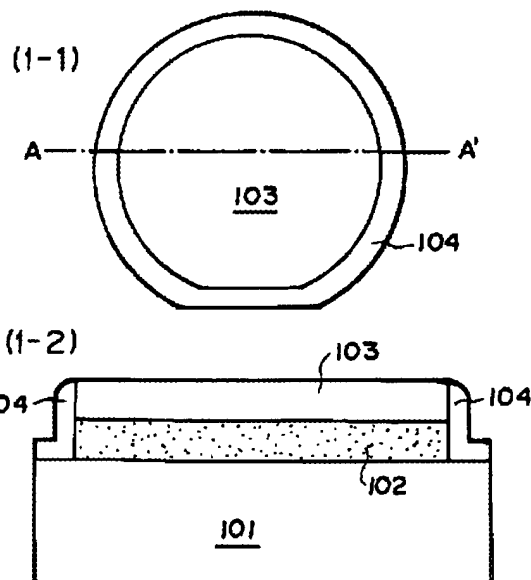
(74) 代理人 弁理士 山下 稔平

(54) 【発明の名称】 半導体基体及びその製造方法

(57) 【要約】

【目的】 半導体基体外周部の膜はがれを防止して、信頼性の高い半導体基体を提供し、これにより歩留まりの高い半導体装置を作製可能とする。

【構成】 支持基体101上に、絶縁膜102、半導体層103を順に積層して有する半導体基体において、少なくとも前記絶縁膜102外周部が絶縁膜又は半導体層からなる保護膜104で覆われていることを特徴とする半導体基体。また、前記保護膜104は、半導体膜としての多結晶シリコンであることを特徴とする半導体基体。保護膜104で絶縁膜102の外周部が保護されるため、後工程でエッチング処理されても、絶縁膜102の外周部がエッチングされるおそれがなく、それによる半導体層103のリフトオフ及び剥離も防止できる。



【特許請求の範囲】

【請求項1】 支持基体上に、絶縁膜、半導体層を順に積層して有する半導体基体において、少なくとも前記絶縁膜外周部を半導体又は絶縁物の保護膜で覆ったことを特徴とする半導体基体。

【請求項2】 支持基体上に絶縁膜が形成され、その上に半導体層が形成されており、前記半導体層が前記支持基体より小さく形成された基体において、少なくとも前記絶縁膜外周部を半導体又は絶縁物の保護膜で覆ったことを特徴とする半導体基体。

【請求項3】 前記保護膜としての半導体膜が、多結晶シリコンであることを特徴とする請求項1又は2に記載の半導体基体。

【請求項4】 請求項1～3のいずれか1項に記載の半導体基体の製造方法において、支持基体上の絶縁膜上に半導体層を有する基体を形成し、前記絶縁膜及び半導体層の表面及び外周部に半導体の保護膜を形成し、平面研磨により前記外周部のみに前記保護膜を残す、ことを特徴とする半導体基体の製造方法。

【請求項5】 前記保護膜が、絶縁膜である請求項4に記載の半導体基体の製造方法。

【請求項6】 前記支持基体上の絶縁膜上に半導体層を有する基体の形成方法において、前記支持基体に、前記絶縁膜を形成した半導体基体を貼り合わせ、表面側の前記絶縁膜及び半導体基体の一部を除去する、ことにより形成することを特徴とする請求項4又は5に記載の半導体基体の製造方法。

【請求項7】 前記支持基体上の絶縁膜上に半導体層を有する基体の形成方法において、第1の半導体基体上に陽極化成層、エピタキシャル層、絶縁膜を順に形成した第1の基体の前記絶縁膜側を、支持基体となる第2の基体に貼り合わせ、該貼り合わせた基体の前記第1の半導体基体を除去して前記陽極化成層を露出させ、選択的エッチングにより前記陽極化成層を除去することにより、前記支持基体上に前記絶縁膜及び前記エピタキシャル層を有する基体を形成することを特徴とする請求項4又は5に記載の半導体基体の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基体及びその製造方法に関し、特に貼り合わせ方式のSOI (Silicon On Insulator) 基板に関するものである。

【0002】

【従来の技術】 近年、高性能半導体素子として、SOI型半導体装置が盛んに研究されている。そのSOI基板の作成方法として、(1) SIMOX及び(2) Si基

板の貼り合わせ方式が注目されている。

【0003】 図2は、従来例の半導体基体の製造工程を示す概略断面図であり、図において、201は支持基体、202は絶縁膜、203は半導体層である。

【0004】 図2(2-1)は、貼り合わせSOI基板を示し、支持基体201を、絶縁膜202を有する半導体層203と貼り合わせて作製されたものである。

【0005】 貼り合わせSOI基板では、界面特性を良好にするため、半導体層203を熱酸化することにより、絶縁膜202を形成する。熱酸化により形成された絶縁膜202は、ピンホールがなく、半導体層との界面電荷が抑制される等の利点がある。

【0006】

【発明が解決しようとしている課題】 しかしながら、実際に半導体層203にデバイス形成させるプロセスを考えた場合、表面側の絶縁膜をエッチングする際、ウェハ外周部からエッチング液が浸み込み、図2(2-2)に示すように、下側絶縁膜202もエッチングしてしまい、半導体層203が支持基体201から浮いてしまうため、ウェハ外周部の半導体層203が物理的な強度に対して弱くなるという現象が発生する。このため、外周部の半導体層203が剥離してしまい、図2(2-2)に示す様に、この剥離した半導体片204が半導体層203に再付着することで、実デバイスに欠陥を誘発するという問題点があった。

【0007】 すなわち、従来の貼り合わせ方式のSOI基板の問題として、ウェハ外周部からの半導体層の膜ハガレという問題があった。これはSi基板の外周部の表面性及び面とり等に起因し、支持基体に比較して半導体層が小さくなるためである。

【0008】 そのため、半導体層下の絶縁膜が、後工程によりエッチングされ、半導体層がリフトオフされてしまう。リフトオフされた半導体層は、パーティクルとして、半導体層表面に再付着し、欠陥を生じさせてしまい、その結果、歩留りの高いICをSOI基板で作成することが困難となる問題があった。

【0009】 【発明の目的】 本発明の目的は、半導体基体外周部の膜はがれを防止して、信頼性の高い半導体基体を提供し、これにより歩留まりの高い半導体装置を作製可能とすることにある。

【0010】

【課題を解決するための手段】 本発明は、前述した課題を解決するための手段として、支持基体上に、絶縁膜、半導体層を順に積層して有する半導体基体において、少なくとも前記絶縁膜外周部が半導体又は絶縁物の保護膜で覆われていることを特徴とする半導体基体を提供するものである。

【0011】 また、本発明は、半導体基体の製造方法において、支持基体上に絶縁膜を挟んで半導体層を有する基体を形成し、前記絶縁膜及び半導体層の表面及び外周

部に保護膜を形成し、平面研磨により前記外周部のみに前記保護膜を残す、ことを特徴とする半導体基体の製造方法を手段とする。

【0012】また、前記支持基体上に絶縁膜を挟んで半導体層を有する基体の形成方法において、前記支持基体に、前記絶縁膜を形成した半導体基体を貼り合わせ、表面側の前記絶縁膜及び半導体基体の一部を除去する、ことにより形成することを特徴とし、また、前記支持基体上に絶縁膜を挟んで半導体層を有する基体の形成方法において、第1の半導体基体上に陽極化成層、エピタキシャル層、絶縁膜を順に形成した第1の基体を、支持基体となる第2の基体に貼り合わせ、該貼り合わせた基体の前記第1の半導体基体を除去して前記陽極化成層を露出させ、選択的エッチングにより前記陽極化成層を除去する、ことにより形成することを特徴とする半導体基体の製造方法である。

【0013】

【作用】本発明によれば、エッチングされてしまう絶縁膜を、他種の絶縁膜又は半導体層により被覆して保護することで、半導体層の膜ハガレを防止し、高歩留りのSOCを作製できるSOI基板を提供するものである。

【0014】更に、この被覆膜をSOI基板作成の最終研磨工程直前にウェハ全面に被覆した後、最終研磨を行うことで、工程数増加を最小にしたSOI基板の作製方法を提供するものである。

【0015】

【実施例】【実施例1】図1は、本発明の好適な実施態様の半導体基体を示す図であり、(1-1)は上面図、(1-2)は(1-1)のA-A'断面図である。図において、101は支持基体、102は絶縁膜、103は半導体層、104は本発明の特徴である保護膜であり、絶縁膜又は半導体膜である。

【0016】本発明においては、絶縁膜102を被覆する保護膜104が形成されているため、下側絶縁膜102がエッチングされることは無く、その結果、半導体片も発生しないため、SOIデバイスを高歩留りで得ることができる。

【0017】次に、本発明の具体的なSOI基板の作成方法について図3を用いて説明する。

【0018】まず、半導体層となる半導体基体303を熱酸化し、絶縁膜302を形成する。

【0019】これを支持基体301となる例えば半導体基体301と貼り合わせる(3-1図)。

【0020】続いて、貼り合わせた基体に熱処理を加えることで強度が向上する。支持基体301を半導体層303と同一成分とすることにより熱膨張係数等に差が生じないため高温の熱処理(800℃以上)が可能となる。

【0021】次に半導体層303側より研削を行い、半導体層303を～5μm程度まで薄膜化する。研削の方

法としては、バックグラインダーを用いた物理的な研削であってもエッチング液を用いた化学的な研削であってもよいし、交互に用いてもよい(3-2図)。

【0022】この後に、保護膜304を形成する。例えば、半導体層303がシリコンである場合、保護膜304としてはアモルファスシリコンや多結晶シリコンを用いると、後工程での熱処理のストレスも小さいため、良好の基体ができる。

【0023】保護膜304としての多結晶シリコンの成膜は、～600℃、～30 Torr、SiH₂Cl₂を用いればLP-CVD法で可能である。

【0024】またアモルファスシリコンを保護膜として成膜する場合は、～250℃、～0.2 Torr、SiH₄/H₂のグロー放電を用いればP-CVD法で可能である。

【0025】保護膜の膜厚としては、側壁に～1000Åも付着すれば十分である(3-3図)。

【0026】最後に研削を施す。ここでの研削は、支持基体301を基準に平面度を出し、半導体層303上の保護膜304を研削除去することにより、図1に示すSOI基板が得られる。

【0027】【実施例2】実施例1では、単純な貼り合わせ方式のSOI基板の製造方法について説明した。

【0028】本発明の適用範囲としては、選択エッチングを用いる貼り合わせSOI基板でも同様に可能である。

【0029】例えば、陽極化成層を用いた選択エッチングによるSOI基板の製造方法について図4を用いて説明する。

【0030】図4において、405はP⁺基板であり、406はこれを陽極化成して作成した化成層である。陽極化成の方法は、HF/C₂H₅OH溶液中で、～1.0A/waferの電流を流すことで、～1μm/min程度の化成層を形成することができる。

【0031】続いて、この化成層上にエピタキシャル層403を形成させる。次にこのエピタキシャル層を熱酸化することで、絶縁膜402を形成する(4-1図)。

【0032】この絶縁膜402を、支持基体401と貼り合わせる。前述の実施例では、半導体基板を支持基体としたが、本実施例では石英基板を用いても良い。但し、熱膨張係数が大きく異なるため、高温で熱処理することはできない。そのため、～400℃で100時間程度熱処理することで、高温処理と同程度の強度を得る(4-2図)。

【0033】続いて、P⁺基板405側から研削を行い、化成層406を露呈させる。これを選択エッチング液(HF/H₂O₂≒1/5)によりエッチングする。これにより、選択的に化成層406のみがエッチングされ、エピタキシャル層403のみが残る。

【0034】これに、保護膜404として、多結晶シリ

5

コンを成膜することにより、絶縁膜402の側壁に保護膜404が形成される(4-3図)。

【0035】最後に実施例1と同様に半導体層403研磨を行うことにより、図1に示した外周部のみに保護膜404を有するSOI基板が形成できる。

【0036】なお、上述した保護膜に用いる半導体としては、上述したアモルファスシリコン、多結晶シリコンに限ることはなく、後工程でのエッチングに耐性のあるものであれば良い。

【0037】また、保護膜として絶縁膜を用いる場合は、シリコン窒化膜(Si_xN_y)、シリコン酸化窒化膜($\text{Si}_x\text{O}_y\text{N}_z$)、シリコン酸化膜(Si_xO_y)等の絶縁膜を、CVD法、スパッタ法、又は熱処理することにより形成することができ、これにより同様の効果を得ることができる。

【0038】

【発明の効果】以上説明したように、SOI基板の絶縁層側壁に保護膜を設けることで、高歩留りのSOIデバイスを作成することが可能となる効果が得られる。

【0039】更に、保護膜を多結晶シリコン等の導電性膜(半導体膜含)とした場合、SOIデバイス作成中に

6

用いられる、イオン注入、RIEといったプロセスにおいて、ウェハ面内均一性に優れた処理が可能となる。これは、SOI基板の場合、絶縁膜上に半導体膜が形成されているため、半導体膜がチャージアップを起こし均一性が劣化するという問題があったが、本発明では、絶縁膜側壁に多結晶シリコンを用いることで、支持基体と半導体層が接続されているためチャージアップ等の発生を防止できるという効果も得られる。

【図面の簡単な説明】

【図1】本発明を実施したSOI基板の構造を示す図。

【図2】従来例のSOI基板の断面図。

【図3】本発明の実施例1のSOI基板の製造工程断面図。

【図4】本発明の実施例2のSOI基板の製造工程断面図。

【符号の説明】

101, 201, 301, 401は支持基体

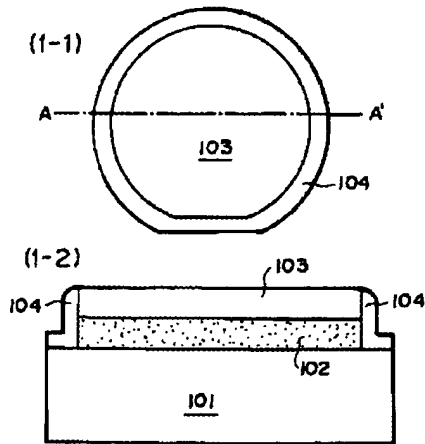
102, 202, 302, 402は絶縁膜

103, 203, 303, 403は半導体層

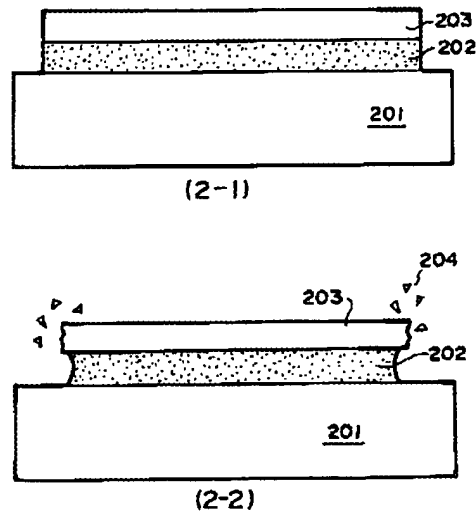
104, 304, 404は、本発明の特徴である保護膜

204は半導体片(パーティクル)

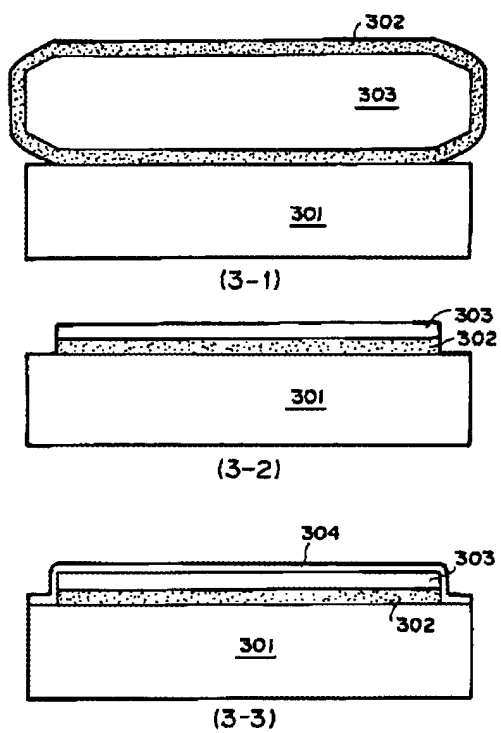
【図1】



【図2】



【図3】



【図4】

